

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-031365

(43)Date of publication of application : 02.02.1999

(51)Int.Cl.

G11B 20/18

G11B 20/18

G11B 20/18

G11B 20/12

(21)Application number : 09-184181

(71)Applicant : SONY CORP

(22)Date of filing : 09.07.1997

(72)Inventor : OTSUKA GAKUSHI

HIDA MINORU

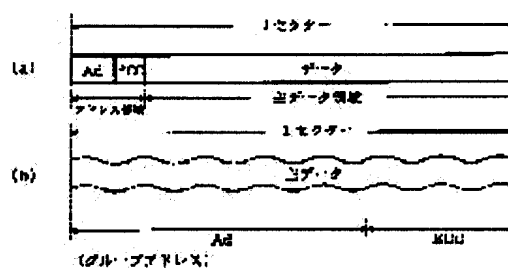
SAKO YOICHIRO

(54) RECORDING MEDIUM AND DRIVING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance the efficiency of a recording/reproducing operation and the reliability of data and to increase the recording capacity of a recording medium by adding a correcting code having an error correcting capability concerning an address value together with the address value to address information to make the address information correctable.

SOLUTION: An address area and a main data area are formed in one sector to divide the inside of the sector into areas physically and address information and main data are recorded in the areas. Then, an actual address value Ad and an error-correcting code ECC concerning the address value Ad are added as the address information. Moreover, the address information are expressed by wobbling a land or a groove becoming a data track and the address value Ad and the error-correcting code ECC concerning the address value Ad are added as the address information. Thus, even when the reading of the address becomes an NG, the read address value Ad can be restored to a correct value by an error corection.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-31365

(43) 公開日 平成11年(1999) 2月2日

(51) Int.Cl. ⁴	識別記号	F I	
G 1 1 B 20/18	5 3 2	G 1 1 B 20/18	5 3 2 D
	5 7 2		5 7 2 C
			5 7 2 F
	5 7 4		5 7 4 H
20/12	1 0 2	20/12	1 0 2
審査請求 未請求 請求項の数 8 O L (全 22 頁)			

(21) 出願番号 特願平9-184181

(22) 出願日 平成9年(1997) 7月9日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 大塚 学史

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 飛田 実

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 佐古 曜一郎

東京都品川区北品川6丁目7番35号 ソニー株式会社内

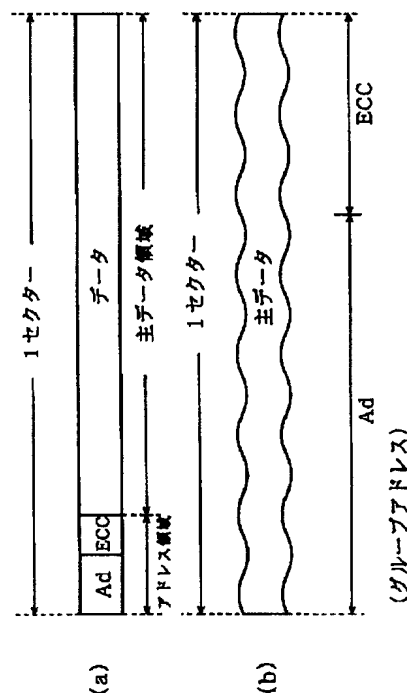
(74) 代理人 弁理士 脇 篤夫 (外1名)

(54) 【発明の名称】 記録媒体、及びドライブ装置

(57) 【要約】

【課題】 アドレス情報が訂正不能であることに伴う各種の問題点を解消し、記録／再生動作の効率向上、信頼性向上、記録媒体の劣化等に対するドライブ適応性の向上、記録容量の優位性などを実現する。

【解決手段】 記録媒体として、アドレス情報には、アドレス値A dとともに、そのアドレス値A dに関するエラー訂正能力を有する訂正コードE C Cを付加する。そしてドライブ装置では、アドレスについてエラー検出だけでなくエラー訂正も可能とし、抽出されたアドレスにエラーがあっても有効利用できるようにする。



【特許請求の範囲】

【請求項 1】 記録媒体上の絶対位置情報としてアドレス情報が記録されている記録媒体において、前記アドレス情報には、アドレス値とともに、そのアドレス値に関するエラー訂正能力を有する訂正コードが付加されていることを特徴とする記録媒体。

【請求項 2】 前記訂正コードは非 2 元 BCH コードであることを特徴とする請求項 1 に記載の記録媒体。

【請求項 3】 前記訂正コードは 2 元 BCH コードであることを特徴とする請求項 1 に記載の記録媒体。

【請求項 4】 前記アドレス情報は前記記録媒体のデータトラック上の所定のデータ単位毎に設けられるアドレス領域に記録されることを特徴とする請求項 1 に記載の記録媒体。

【請求項 5】 前記記録媒体のデータトラックがランド／グループ形態で形成され、そのランド／グループは前記アドレス情報によりウォブリングされることで、データトラック上で絶対位置情報としてアドレス情報が記録されていることを特徴とする請求項 1 に記載の記録媒体。

【請求項 6】 記録媒体上の絶対位置情報としなるアドレス情報が、アドレス値とともに、そのアドレス値に関するエラー訂正能力を有する訂正コードが付加されて記録されている記録媒体に対応して記録又は再生動作を行うことのできるドライブ装置として、記録媒体から読み出される情報から前記アドレス情報をデコードするデコード手段と、前記デコード手段でデコードされたアドレス情報について、付加されている訂正コードを用いてエラー検出を行う検出手段と、前記デコード手段でデコードされたアドレス情報について、付加されている訂正コードを用いてエラー訂正を行う訂正手段と、前記デコード手段でデコードされたアドレス値、又は少なくとも前記訂正手段での訂正処理を経て得られたアドレス値のいずれかを、前記検出手段のエラー検出結果に応じて選択的に用いて、アドレスが目的とするアドレスか否かを判別して記録媒体に対する動作の許可／不許可を設定する動作制御手段と、を備えたことを特徴とするドライブ装置。

【請求項 7】 アドレス値を補間生成することのできる補間手段を備え、前記動作制御手段は、前記デコード手段でデコードされたアドレス値、又は前記訂正手段で訂正されたアドレス値、又は前記補間手段で生成されたアドレス値のいずれかを前記検出手段のエラー検出結果に応じて選択的に用いて、アドレスが目的とするアドレスか否かを判別して記録媒体に対する動作の許可／不許可を設定することを特徴とする請求項 6 に記載のドライブ装置。

【請求項 8】 前記デコード手段でデコードされたアド

レス値、又は前記訂正手段で訂正されたアドレス値、又は過去に生成された補間アドレスを選択的に用いて、アドレス値を補間生成することのできる補間手段を備え、前記動作制御手段は、前記デコード手段でデコードされたアドレス値、又は前記補間手段で生成されたアドレス値のいずれかを前記検出手段のエラー検出結果に応じて選択的に用いて、アドレスが目的とするアドレスか否かを判別して記録媒体に対する動作の許可／不許可を設定することを特徴とする請求項 6 に記載のドライブ装置。

10 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば光ディスク、光磁気ディスクなどの記録媒体、及びその記録媒体に対応して記録／再生動作を行うドライブ装置に関するものである。

【0002】

【従来の技術】例えば光ディスク、光磁気ディスクなどの記録媒体では、何らかの形でそのデータトラック上に、絶対位置情報となるアドレスが記録されている。そしてディスクに対応するディスクドライブ装置では、例えば記録／再生動作の際などには、データトラック上のアドレスを検出して目的の位置に達したか否かを判別し、達したことが検出されたことに応じて記録又は再生動作の実行制御等を行う。

【0003】図 21 にディスク上でのアドレス記録形態の例を示す。図 21 (a) (b) におけるセクターとは、1 つのアドレス値が付与されるデータ単位を示すものとしている。なお、本明細書において、「セクター」とは、このように 1 つのアドレス値が与えられる 1 つのデータ単位としての意味で用いる。

【0004】図 21 (a) は、セクター内にアドレス領域が設定され、例えば主データと同様にデータトラック上に記録されるデータとしてアドレス情報が記録されるものである。例えば位相ビット、磁界ビットなどの形態でアドレス領域にアドレス情報が記録される。そしてアドレス領域に続いて主データ（記録／再生の対象となる音声、映像、ファイルデータなど主たるデータ）が記録される主データ領域が形成される。なお本明細書では説明上、主データ（主データ領域）という呼称は、実際のファイルデータだけでなく、それらのデータに付随するエラー検出コード、エラー訂正コード、その他の制御データなども含むデータ（領域）としてもものとして用いる。

【0005】この図 21 (a) では、セクター内で物理的にエリア分割されてアドレス情報と主データが記録される。そしてアドレス情報としては、実際のアドレス値 Ad と、そのアドレス値 Ad に対して付加される CRC エラー検出コードが記録されるとともに、アドレス読込エラーの確率を少なくするため、例えばそのアドレス情報が 3 回繰り返して記録される。

【0006】一方図21(b)は、データトラックとなるランドもしくはグループが、ウォブリング(蛇行)されている例である。1セクターとして主データが記録される単位領域が形成され(もちろんセクター内のデータとしてアドレスが記録される場合もあるが)、アドレス情報はウォブリングによって表現される。例えばアドレス情報としてアドレス値Adと、アドレス値Adに対して付加されるCRCエラー検出コードが発生され、そのアドレス情報をFM変調などの所定の変調処理した信号により、グループもしくはランドをウォブルさせる。この場合、ドライブ装置ではウォブリング周期を検出し復調することでアドレス情報を抽出することができる。

【0007】ドライブ装置側では、図22のような処理で抽出したアドレスが記録/再生の目的位置を示すアドレスか否かを判別し、例えば記録/再生を許可する意味を持つ信号AOKを出力する。この図22において、アドレス検出部101は、いわゆるアドレスデコーダであり、図21(a)(b)のような各種形態でディスクに記録されているアドレス情報をデコードする。デコードされたアドレス値はアドレス保持部103となるレジスタに記憶される。一方、デコードされたアドレス情報としてのアドレス値及びCRCエラー検出コードはCRCエラー検出部102に送られ、アドレス値としてエラービットが存在するか否かの検出(エラー検出)が行われる。

【0008】アドレス保持部103に取り込まれたアドレス値はR/Wアドレスカウンタ105から出力されるアドレス値と、等号比較回路104で比較される。R/Wアドレスカウンタ105は、記録/再生動作の目的位置としてのアドレス値を出力している。等号比較回路104で一致結果が得られると、論理回路106を介して信号AOKが出力される。信号AOKとは、アドレス一致、即ち光学ピックアップによる走査位置が目的の位置に達したため、記録/再生動作を許可する信号となり、これを受け取った記録再生制御部は、ディスクに対する記録動作/再生動作を開始させることになる。ところが、CRCエラー検出部102によりアドレスエラーが検出された場合は、論理回路106から信号AOKは出力されないことになる。つまりこのような処理ブロックでは、まずアドレス値がエラーなく検出でき、そのアドレス値が目的アドレスに一致した時点で信号AOKが出力され、それによってディスクに対する記録/再生動作が開始される。

【0009】

【発明が解決しようとする課題】ところで、図21、図22の説明からわかるように、従来のアドレス情報としては、アドレス値とともにそれに対してエラー検出を行うCRCエラー検出コードが付加されているのみである。つまりアドレス値自体に対するエラー訂正機能はない。このため、ドライブ装置側では、記録/再生を許可

する信号AOKの出力が遅れて動作が非効率的になったり信頼性が低下するという問題がある。またアドレスエラーによりディスク自体が記録/再生に適さないものとなる確率が高まり、もしくは寿命が低下しやすいといった問題もある。さらに、セクター内でアドレス領域を広くとらざるを得ないため主データ領域が相対的に狭くなる、つまり記録容量的な制限が生ずるという問題もある。

【0010】記録容量的な問題としては、図21(a)のようなタイプで生ずる。即ち、アドレスエラーの際に訂正ができないために、なるべくアドレスが正しく読み込めるようにする確率を高めることが必要になり、このために3回など多数回繰り返してアドレス情報を記録するため、セクター内の主データ領域がその分だけ小さくなることになる。

【0011】またアドレスエラーを訂正できないことでディスクの品質不良の確率が高くなり、また寿命も低下する。即ち、ディスクが経時変化や使用状況などで劣化していくに従って、アドレスエラーとなる状況が多発するようになるが、エラー訂正ができないことから、このような状況に対応できず(つまりエラーなくアドレスが読み込めるまで待たなくてはならない)、甚だしい場合には使用不能ディスクとなる。

【0012】さらに、アドレスエラーを訂正できないことによる記録再生動作の非効率性や信頼性の低下は図23から図26の動作モデルで理解される。図23から図26において、「○」はあるセクターについてアドレス読込がOK(CRCエラー検出結果OK)であったことを示し、「×」はあるセクターについてアドレス読込がNG(CRCエラー検出結果NG)であったことを示している。またこれらの図は或る記録動作を例とし、ドライブ装置が、ディスク上の目的位置となるアドレスを探すシークを行い、そのシーク後にアドレスチェック(目的アドレスか否かのチェック)を行って記録を開始する動作を示している。実線矢印は、シークからのランディング及びその位置からのアドレス読込動作を示し、斜線を付した太線矢印は、開始された記録動作を示している。n-1、n、n+1・・・は、各セクターのアドレス値であるとする。

【0013】図23は、シーク後にアドレスn-1のセクターにランディングしたときに、そのアドレスn-1及び次のセクターのアドレスnが読込NGとなった場合である。記録を開始できるセクターは、アドレスチェックがOKとなった次のセクターとなるため、セクター(n+1)からは記録動作を開始することはできない。そして図示するように、セクター(n+1)でアドレス読込がOKとなり、ここでアドレスチェックOKとなつたとすると、次のセクター(n+2)から記録動作を開始できることになる。即ち図23の例では、アドレスn-1、アドレスnが読込NGとなることで、記録動作の

10

20

30

40

50

開始が遅れることになる。

【0014】図24は、シーク後にアドレス $n-1$ のセクターにランディングしたときに、そのアドレス $n-1$ は読込NGで、次のセクターのアドレス n が読込OKとなった場合である。記録を開始できるセクターは、その次のセクター($n+1$)からとなる。ところが記録を開始したセクターでアドレス $n+1$ は読込NGとなったとする。この場合、記録動作はセクター($n+1$)から開始できるが、記録動作中にセクター($n+1$)については、正確な記録位置であるか否かを判別できない。従って記録中にトラッキング動作によりそのセクター($n+1$)の記録を行っているとは信用するしかなく、記録信頼性という点では欠けることになる。

【0015】さらに図25は、アドレス $n-1$ のセクターにランディングしたときに、そのアドレス $n-1$ は読込OKとなり、次のセクター(n)から記録を開始できた場合である。ところが記録を開始したセクター及び次のセクターでアドレス $n+1$ 、 $n+2$ は読込NGとなったとする。この場合、記録動作はセクター(n)から開始できるが、記録動作中にセクター($n+1$)($n+2$)については、正確な記録位置であるか否かを判別できず、これも記録中にトラッキング動作によりそれらセクターの記録を行っているとは信用するしかない。つまり記録信頼性という点では欠ける。

【0016】図26はシーク後にアドレス $n-1$ のセクターにランディングしたときに、各セクターについて連続してアドレス読込NGとなった場合である。この場合はアドレス読込OKとなるまで待ち、そのうえで読み込んだアドレスが目的アドレスと一致しなければ記録を開始できない。つまり記録開始までのディスク回転待ち期間などが長くなり、記録動作効率は非常に悪化する。以上の各例は記録動作に関して説明したが、再生動作の場合も事情は同じである。

【0017】

【課題を解決するための手段】本発明は、上記のようにアドレス情報が訂正不能であることに伴う各種の問題点を解消し、記録／再生動作の効率向上、信頼性向上、記録媒体の劣化等に対するドライブ適応性の向上、記録容量の優位性などを実現することを目的とする。

【0018】このために記録媒体としては、アドレス情報には、アドレス値とともに、そのアドレス値に関するエラー訂正能力を有する訂正コードが付加されているようにする。

【0019】また、そのような記録媒体に対応して記録又は再生動作を行うことのできるドライブ装置としては、記録媒体から読み出される情報からアドレス情報をデコードするデコード手段と、デコード手段でデコードされたアドレス情報について、付加されている訂正コードを用いてエラー検出を行う検出手段と、デコード手段でデコードされたアドレス情報について、付加されてい

る訂正コードを用いてエラー訂正を行う訂正手段とを設ける。また、デコード手段でデコードされたアドレス値、又は少なくとも訂正手段での訂正処理を経て得られたアドレス値のいずれかを、検出手段のエラー検出結果に応じて選択的に用いて、アドレスが目的とするアドレスか否かを判別して記録媒体に対する動作の許可／不許可を設定する動作制御手段を備えるようにする。さらにアドレス値を補間生成することのできる補間手段を備え、補間アドレスをアドレスが目的とするアドレスか否かの判別に用いる場合もあるようにする。

【0020】つまり本発明では、読み込んだアドレス(デコードされたアドレス)にエラーがあっても、それについて訂正又は補間を行うことができるようにし、読込OKとなる確率を大幅に向上させ、そのようなアドレスについて目的位置であるか否かのチェックを実行できるようにする。

【0021】

【発明の実施の形態】以下、本発明の記録媒体及びドライブ装置についての実施の形態としての例を次の順序で説明していく。

1. セクターフォーマット例
2. アドレス処理例
3. アドレス処理に伴う動作例
4. ドライブ装置の構成
5. 非2元BCHコードを採用する場合のアドレス処理構成及び動作
6. 2元BCHコードを採用する場合のアドレス処理構成及び動作

【0022】1. セクターフォーマット例

図1から図4に、ディスク状記録媒体のセクターフォーマットとしての各例を示す。図1(a)は、セクター内にアドレス領域が設定され、例えば主データと同様にデータトラック上に記録されるデータとしてアドレス情報が記録されるものである。例えば位相ビット、磁界ビットなどの形態でアドレス領域にアドレス情報が記録される。そしてアドレス領域に続いて主データ(記録／再生の対象となる音声、映像、ファイルデータ等の主たるデータ、及びそれらのデータに付随するエラー検出コード、エラー訂正コード、その他の制御データなど)が記録される主データ領域が形成されている。つまり図1(a)では、セクター内で物理的にエリア分割されてアドレス情報と主データが記録される。そしてアドレス情報としては、実際のアドレス値 A_d と、そのアドレス値 A_d に対して付加されるエラー訂正コード(ECC: Error Correction Code)が記録される。

【0023】一方図1(b)は、データトラックとなるランドもしくはグルーブが、ウォブリング(蛇行)されている例である。1セクターとして主データが記録される単位領域が形成され、アドレス情報はトラックのウォブリングによって表現される。例えばアドレス情報とし

てアドレス値A dと、アドレス値A dに対して付加されるエラー訂正コードE C Cが発生され、そのアドレス情報をF M変調などの所定の変調処理した信号により、グループもしくはランドをウォブルさせる。この場合、ドライブ装置ではウォブリング周期を検出し復調することでアドレス情報を抽出することができる。

【0024】この図1 (a) (b) のようにアドレス値A dに対してエラー訂正能力のあるコードが付加されることで、アドレス読込エラーの場合も訂正により読込O Kの状態に回復させることができる。またこれにより図21 (a) で説明したように多数回繰り返しアドレス情報を記録する必要もなくなる。

【0025】図2 (a) はセクター内にアドレス領域が設定される例として、そのアドレス領域にはアドレス情報として、アドレス値A dと、そのアドレス値A dに対して付加されるC R Cエラー検出コードと、アドレス値A dに対して付加されるエラー訂正コードE C Cが記録される。また図2 (b) はウォブリングによりアドレスが表現されるディスクの場合で、これも図2 (a) と同じく、トラック (ランド又はグループ) をウォブルさせるアドレス情報は、アドレス値A dと、そのアドレス値A dに対して付加されるC R Cエラー検出コードと、アドレス値A dに対して付加されるエラー訂正コードE C Cとされる。この図2 (a) (b) の例のように、C R Cエラー検出をも実行できるようにすることで、エラー訂正コードを用いた訂正処理が誤訂正となる危険度を低くすることができる。

【0026】図3は、図1 (a) と同様にセクター内に設けられるアドレス領域に、アドレス情報として、アドレス値A dと、そのアドレス値A dに対して付加されるエラー訂正コードE C Cが記録されるが、このアドレス値A dとエラー訂正コードE C Cが2回繰り返して記録されるようにしている。このような方式とすることで、例えば1つ目のアドレス情報についての訂正処理を2つ目のアドレス情報の読込時に行い、2つ目のアドレス情報の訂正処理は、1つ目のアドレス情報との排他的論理和をとることなどで簡単に行うというような処理も可能となる。

【0027】図4 (a) は、基本的には図1 (a) と同一のフォーマットであるが、これはエラー訂正コードE C CとしてB C Hコード (Bose Chaudhuri Hocquenghem code) を採用した例である。また図4 (b) は図1

(b) においてエラー訂正コードE C CとしてB C Hコードを採用した例である。エラー検出能力、エラー訂正能力の両方を備えたB C Hコードを採用することで、より有用なフォーマットとなる。

【0028】以上の図1から図4の各例のようなセクターフォーマットが考えられるが、アドレス情報自体のフォーマット例を図5、図6に示す。図5の例では、アドレス情報全体は44ビットとされ、4ビットを1単位

(ニブル) として11ニブルとされる。そしてアドレス値A dとして6ニブル、リザーブが1ニブル、エラー訂正コードE C Cが4ニブルとされる。このアドレスフォーマットは、4ビットを1ニブルとして 2^4 のガロア体を作り、非2元B C Hコード (例えばリードソロモン符号) で4パリティをつけたものである。訂正能力は2ニブル以下となる。

原始多項式: $f(x) = X^4 + X + 1$

として、原始多項式の解をaとすると、

10 生成多項式: $g(x) = (X + a^0)(X + a^1)(X + a^2)(X + a^3)$

としてパリティをつけるものとする。

【0029】図6 (a) の例は、アドレス情報全体は44ビットとされ、アドレス値A dとして24ビット、リザーブが8ビット、エラー訂正コードE C Cが12ビットとされている。これは、2重誤り訂正 (63, 51) の2元B C Hコードで12パリティをつけたもので、訂正能力は2ニブル以下となる。

原始多項式: $f(x) = X^6 + X + 1$

20 とし、

生成多項式: $g(x) = X^{12} + X^{10} + X^8 + X^6 + X^3 + 1$

としてパリティをつける。

【0030】図6 (b) の例は、アドレス情報全体は44ビットとされ、アドレス値A dとして24ビット、リザーブが2ビット、エラー訂正コードE C Cが18ビットとされている。これは、3重誤り訂正 (63, 45) の2元B C Hコードとして18ビットパリティをつけたものである。

30 【0031】図6 (a) (b) の各例は、巡回符号となるため、アドレス処理回路がC R Cエラー検出コードに対するものと同様に簡単なものとなり、訂正処理もエクスクルーシブO Rの比較や前後の関係を使って計算することで容易に可能となる。なお、図5、図6はあくまでも一例であり、例えばより訂正能力の高いフォーマットも当然可能である。

【0032】2. アドレス処理例

上述してきたように、アドレス情報としてエラー訂正コードが含まれているディスクに対する記録再生時などのアドレス処理動作例を図7、図8で説明する。ここで説明する動作は、ディスクに対応するディスクドライブ装置での処理となる。

【0033】図7は記録動作、再生動作など、動作開始の際にアドレスチェック、即ち実行開始位置が記録・再生などの目的となる位置を示すアドレスであるかを確認する必要のある処理としての一連の動作を示している。例えばステップF100として記録又は再生動作が指示されると、ステップF101で、その要求された記録動作又は再生動作の対象となるセクターのアドレスを計算する。即ち開始セクターのアドレス、終了セクターのア

ドレスなどを計算する。続いてステップF102では、記録又は再生の目的位置として計算された開始セクターまで記録／再生ヘッドを移動させるシーク動作を実行することになる。

【0034】シーク中には、ステップF103として示すように、シーク動作が目的の位置に達したか否かを、読み込んだアドレス値から判断し、それによってシーク続行、シーク終了、シーク再開、シーク方向制御など、目的位置へのランディングのための各種の必要なシーク動作制御が実行される。ステップF104で、読み込んだアドレス値からの判断でシーク動作を終了させたら、ステップF105で記録又は再生のための処理に移る。まずステップF106では読み込まれるアドレスについてアドレスチェックを行い、現在アドレスが目的アドレスと一致したか否かを判断する。そしてあるセクターから読み込まれた現在アドレスが目的アドレスと一致したことが検出されたら、ステップF107からF108に進み、その次のセクターから記録又は再生動作を開始することになる。

【0035】記録又は再生動作中には、ステップF109として各セクターから読み込まれるアドレスについてアドレスチェックを行っており、これにより動作が終了アドレスのセクターに達したか、もしくはトラッキングはずれなどがなく正しい位置で記録・再生を実行しているか否かなどを監視する。そして終了セクターに達したことが検出されたら、ステップF110からF111に進み、記録／再生動作を終了させる。

【0036】例えばこのような一連の処理の中で、斜線を付したステップF103、F106、F109の各処理において、アドレス読込及びアドレスチェックが行われることになり、これらの処理は例えば図8に示すようになる。上述したようにセクター内のアドレス領域や、ウォブリックトラックに記録されているアドレス情報は、ディスクドライブ装置内のアドレスデコードによって抽出され、アドレスチェックのための処理部に供給されるが、図8はアドレスチェックのための処理部の処理手順を模式的に示している。

【0037】ステップS1としてデコードされたアドレス情報、即ちアドレス値及びエラー訂正コードが供給されたら、ステップS2としてシンδροーム計算等を行い、エラー検出を行う。ここでエラー検出OK、つまりエラーなく適正にアドレス値が読み込めたとされれば、ステップS4でアドレスチェックを行う。つまりシーク、記録・再生動作開始、記録・再生動作終了など、各場合での目的アドレスと、デコードされて読み込まれたアドレスを比較し、一致検出を行う。そして一致の場合は、アドレスが目的アドレスに一致したことを示す信号AOKを出力する。例えば図7のステップF106では記録・再生開始のアドレスを検出する処理となるが、この場合、リード／ライトアドレスカウンタによって発生

される動作開始アドレスと、デコードされて読み込まれたアドレスの比較を行う。そしてこの場合は信号AOKが記録又は再生動作の開始の許可信号となる。また図7のステップF103では信号AOKはシーク終了の判別信号、ステップF109では信号AOKは記録／再生動作終了の判別信号としての意味を持つことになる。

【0038】ところで、図8のステップS2でエラー検出NG、つまりデコードされ入力されたアドレス値にエラーが存在すると判別された場合は、ステップS3として訂正処理又は補間処理が行われる。そして訂正OK、もしくは補間アドレス生成可能であれば、訂正されたアドレス値、もしくは補間生成されたアドレス値が、ステップS4のアドレスチェックに供される。

【0039】即ち本例では、デコードアドレスにエラーが存在しても、訂正又は補間処理により適正なアドレス値を発生させることができ、アドレスチェックを可能としている。従って、目的位置からアドレスが読み込まれたタイミングであったのなら、遅れることなく信号AOKを出力できる。なお、アドレスチェックがNGとなった場合や、アドレスエラーがあつて訂正不能かつ補間不能でアドレスチェックができない場合はアドレス一致を示す信号AOKが出力されないことはいうまでもない。

【0040】3. アドレス処理に伴う動作例

上述のように読み込んだアドレス情報にはエラー訂正コードが付加されているため、図8で説明したようにデコードアドレス（ディスク読み込まれデコードされてアドレスチェック処理部に供給されたアドレス）にエラーが存在していても、エラー訂正により正しいアドレスを発生させ、もしくは補間処理によりアドレスを発生させることで、アドレスチェックを実行でき、これにより記録再生等の処理の効率化、信頼性の向上を実現できる。

【0041】これらの点について図9から図12のモデルで説明する。なお、図9から図12の各図は、それぞれ上述した図23から図26に対応して示しているものである。図9から図12において、「○」は図23から図26と同様に、あるセクターについてアドレス読込がOK（エラー検出結果OK）でありかつアドレスチェックOKで信号AOKが得られた場合を示している。但し「×」はあるセクターについてアドレス読込がNG（エラー検出結果NG）であり、かつ訂正処理も不能、補間処理も不能であった場合となる。そしてさらに「△」はあるセクターについてアドレス読込がNG（エラー検出結果NG）であったが、訂正処理又は補間処理により適正なアドレス値が得られアドレスチェックが可能となり、しかもアドレス一致により信号AOKが得られた場合を示している。

【0042】またこれらの図は或る記録動作を例とし、ドライブ装置が、ディスク上の目的位置となるアドレスを探すシークを行い、そのシーク後にアドレスチェック（目的アドレスか否かのチェック）を行って記録を開始

する動作を示している。実線矢印は、シークからのランディング及びその位置からのアドレス読込動作を示し、斜線を付した太線矢印は、開始された記録動作を示している。 $n-1$ 、 n 、 $n+1 \cdots$ は、各セクターのアドレス値であるとする。なお、各モデルはアドレスがグループアドレスの場合（つまり、1セクター分読み込まなければアドレスを抽出できない場合）で示しているが、図1(a)、図2(a)、図3、図4(a)のようにセクターの先頭にアドレスが付されるフォーマットの場合（つまり、主データ領域に入る前にアドレスが抽出

【0043】図9は、シーク後にアドレス $n-1$ のセクターにランディングしたときに、そのアドレス $n-1$ 及び次のセクターのアドレス n について、正確に読み込めなかったが、訂正又は補間処理により、アドレスチェックOKとなった場合である。記録を開始できるセクターは、アドレスチェックがOKとなった次のセクターとなるため、セクター $(n+1)$ からは記録動作を開始することができる。つまり、あるセクターで良好にアドレスがデコードでき、アドレスチェックOKとなった場合だけでなく、デコードアドレスにエラーがあったとしても、訂正処理や補間処理で適正なアドレス値が得られアドレスチェックがOKとなることで、記録を開始することができ、上述した図23のようにエラーのないデコードアドレスが得られるまで待つことなく記録を開始できる。

【0044】図10は、シーク後にアドレス $n-1$ のセクターにランディングしたときに、そのアドレス $n-1$ 及び次のセクターのアドレス n が「△」であった場合である。つまり図9と同様に、デコードアドレスにエラーがあったとしても、訂正処理や補間処理で適正なアドレス値が得られアドレスチェックがOKとなることで、記録を開始することができ、エラーのないデコードアドレスが得られるまで待つことなく記録を開始できる。さらに、記録開始後においてセクター $(n+1)$ $(n+2)$ $(n+3)$ のアドレス読込において、デコードアドレスにエラーがあったとしても、「△」で示すように訂正又は補間により適正なアドレスが検出できる。このため現在の記録動作のセクターアドレスを確認していくことができ、トラッキングの性能に頼らないで適正な記録動作が行われているか否かの判別が可能となる。つまり図24と比較するとわかりやすいように、記録動作の信頼性を向上させることができる。

【0045】図11は、シーク後にアドレス $n-1$ のセクターにランディングしたときに、そのアドレス $n-1$ がエラーなく読み込んだ場合で、この場合は次のセクター (n) から記録を実行できる。ここで記録開始後においてセクター (n) $(n+1)$ $(n+2)$ のアドレス読

込において、デコードアドレスにエラーがあったとしても、「△」で示すように訂正又は補間により適正なアドレスが検出でき、図25と比較してわかるように記録動作の信頼性を向上させることができる。

【0046】図12は、上述した図26の場合のようにアドレス $n-1$ のセクターにランディングしたときに、各セクターについて連続してアドレス読込NG（エラー有り）となった場合である。ところが、例えばアドレス n 以降の各セクターについては、訂正又は補間処理により正しいアドレスを得ることができ、これによってセクター $(n+2)$ から記録を開始することが可能となる。図26の場合と比較して著しい動作効率化が実現できる。以上の各例は記録動作に関して説明したが、再生動作の場合も事情は同じである。また、上記のようにセクターの先頭にアドレスが付されるフォーマットの場合、図示した各例において1つ前のセクターから記録可能となるため、記録動作は、図9の場合はセクター (n) から、図10の場合はセクター (n) から、図11の場合はセクター $(n-1)$ から、図12の場合はセクター $(n+1)$ から、それぞれ可能となり、より迅速に記録開始ができる。

【0047】4. ドライブ装置の構成

上述してきたアドレスフォーマットを有するディスクに対して記録／再生動作を行なうディスクドライブ装置（記録再生装置）の例について図13のブロック図を参照しながら説明する。ディスク1は、図1から図6で説明したようなエラー訂正コードを備えたアドレスフォーマットを有するディスクである。例えばこれを光磁気ディスクであるとし、図示するディスクドライブ装置は、光磁気ディスクに対して記録・再生を行う構成例とする。

【0048】ディスク1は、スピンドルモータ2によって所定の回転数で回転駆動される。スピンドルモータ2の回転速度サーボ制御はスピンドル制御部3によって行なわれる。例えばスピンドル制御部3はスピンドルモータ2からのFGパルス（回転速度に同期した周波数信号）などによりスピンドルモータ2の回転速度を検出するとともに、コントローラ6からゾーン毎の基準速度情報SKが供給され、基準速度情報SKとスピンドルモータ2の回転速度を比較して、その誤差情報に基づいてスピンドルモータ2の加減速を行なうことで所要の回転速度でのディスク回転動作を実現させる。

【0049】回転されている光ディスク1に対しては、光学ピックアップ4からのレーザ光が照射される。光学ピックアップ4には、例えばレーザダイオードやレーザカプラなどによるレーザ光源4c、各種レンズやビームスプリッタなどによる光学系4e、レーザ光の出力端となる対物レンズ4a、ディスクからの反射光を検出するディテクタ4d、対物レンズ4aをトラッキング方向及びフォーカス方向に移動可能に保持する2軸機構4b等が設けられる。光学ピックアップ4においてレーザ光源

4 cからのレーザ出力のオン/オフ及び出力レベルはレーザ制御部5によって制御される。

【0050】この記録再生装置は、そのインターフェース部19によりホストコンピュータ90と接続されるが、データの記録/再生動作はコントローラ6がホストコンピュータ90からの記録要求、再生要求を受け取るにより実行されることになる。記録時にはホストコンピュータ90から、記録要求とともに記録すべきデータが供給される。記録データ D_{rec} はインターフェース部19からエンコーダ25に供給され、所要のエンコード

10
【0051】ディスク1に対するデータの記録方法としては大別して光変調方式と磁界変調方式とがある。光変調方式は、ディスク記録面に対して垂直方向における一定方向に外部磁界を印加した状態で、レーザ光を記録データで変調する方式である。即ちこの方式が採用される場合は、記録時においてコントローラ6は磁気ヘッドドライバ26に対して磁気ヘッド27からN又はSの外部磁界をディスク記録面に印加させる。そしてエンコーダ25でエンコードされた記録データは、レーザ制御部5

に供給され、レーザ制御部5は、記録データに応じてレーザ光源4cからのレーザ出力をオン/オフさせる。これによってレーザが照射された部分が外部磁界の極性とされ、記録データが磁界情報としてディスク1に記録される。

【0052】一方磁界変調方式としては、ディスク記録面に対して記録データに基づいて変調される磁界を印加するとともに、レーザ光を一定の光量で継続照射する単純磁界変調方式と、同じくディスク記録面に対して記録データに基づいて変調される磁界を印加するとともに、

30
レーザ光をパルス発光させるレーザストロブ磁界変調方式とがある。
【0053】これらの磁界変調方式が採用される場合は、記録時においてコントローラ6はレーザ制御部5に対してレーザ光源4cからのレーザ出力を継続発光もしくはパルス発光させるように制御を行なう。そしてエンコーダ25でエンコードされた記録データは、磁気ヘッドドライバ26に供給され、磁気ヘッドドライバ26は、記録データに応じて磁気ヘッド27からN又はSの磁界を印加する。これによって記録データが磁界情報としてディスク1に記録される。

【0054】光学ピックアップ4によるデータ読取位置は半径方向に移動可能とされている。具体的には図示していないが、光学ピックアップ4の全体をディスク半径方向に移動可能とするスレッド機構が設けられ、これによって読取位置の大きい移動が行なわれるとともに、対物レンズ4aが2軸機構4bにディスク半径方向に移動される、即ちトラッキングサーボ動作により読取位置の小さい移動が行なわれる。

【0055】なお、光学ピックアップ4を移動させるス

レッド機構に代えて、スピンドルモータ2とともにディスク1をスライド移動させる機構を設けてもよい。また、対物レンズ4aが2軸機構4bにディスク1に対して接離する方向に移動されることで、レーザスポットのフォーカス制御が行なわれる。

【0056】ディスク1が図示しないローディング機構によって装填されると、スピンドルモータ2による回転駆動が開始される。そしてディスク1が所定の回転速度に達すると、光学ピックアップ4がディスク1の内周側あるいは外周側の所定位置のデータを読み取るように読取位置が制御される。そしてその位置において、フォーカスの引込み等の必要な立ち上げ処理が行なわれ、その後、ホストコンピュータ90からの要求に応じた記録あるいは再生動作が開始されることになる。

【0057】光学ピックアップ4のディテクタ4dとしては例えば4分割の受光領域を有する4分割ディテクタや、記録再生可能なライタブル領域における磁界データ(MOデータ)を磁気カー効果による偏光成分ごとの検出を行ない、MOデータとしてのRF信号を得るディテクタ等が設けられる。

20
【0058】このディテクタ4dの各受光領域からは、それぞれ受光光量に応じた電流信号S1が出力されるが、これらはI/V変換マトリクスアンプ7に供給される。I/V変換マトリクスアンプ7では、受光光量信号S1について電流-電圧変換を行なうとともに、各受光領域からの信号の演算処理でRF信号、プッシュプル信号、フォーカスエラー信号FE等の必要な信号を生成する。ディスク1が、アドレスがウォブリングトラックにより形成されているディスクであるものとした場合は、そのウォブリングに対応する情報も抽出される。一方、アドレスが位相ビットや磁界ビットで記録されている場合は、アドレス情報はRF信号から抽出されることになる。

【0059】フォーカス状態の誤差情報となるフォーカスエラー信号FEはサーボコントローラ8に供給される。サーボコントローラ8にはフォーカス系の処理部としてフォーカス位相補償回路やフォーカスドライバなどが搭載されており、フォーカスエラー信号FEに基づいたフォーカスドライブ信号を発生させて2軸機構4bのフォーカスコイルに印加する。これによって対物レンズ4aをジャストフォーカスポイントに収束させるフォーカスサーボ系が構成される。

【0060】I/V変換マトリクスアンプ7からは、サーボクロックSCKやデータクロックDCKの生成のために用いるRF信号が信号S2として出力される。この信号S2はクランプ回路9でRF信号の低周波数変動が除去され、A/D変換器10でデジタル化された信号S3となる。この信号S3はコントローラ6、PLL回路11、及びトラッキングエラー生成部16に供給される。

【0061】PLL回路11では信号S3と発振出力の位相誤差に基づいて内部発振器の発振周波数を制御すること、及び所定の分周処理を行なうことで、RF信号に同期したサーボクロックSCKを発生させる。このサーボクロックSCKはA/D変換器10でのサンプリングクロックとして用いられるとともに、タイミングコントローラ17に供給される。またPLL回路11ではサーボクロックSCKを分周してデータクロックDCKが生成され、タイミングコントローラ17、データ検出部14、レーザ制御部5に供給される。

【0062】タイミングコントローラ17はサーボクロックSCK、データクロックDCKに基づいて、各部に対して必要なタイミング信号を発生させる。例えばトラッキング動作のためのサーボピットを抽出するサンプリングタイミングPs、データ検出部14でのデコード動作のための同期タイミングDSY等を発生させる。PLL回路11、タイミングコントローラ17、トラッキングエラー生成部16により、トラッキングエラー信号TEが生成され、サーボコントローラ8に供給する。サーボコントローラ8にはトラッキング系の処理部としてトラッキング位相補償回路やトラッキングドライバなどが搭載されており、トラッキングエラー信号TEに基づいたトラッキングドライブ信号を発生させて2軸機構4bのトラッキングコイルに印加する。これによって対物レンズ4aをジャストトラッキングポイントに収束させるトラッキングサーボ系が構成される。。

【0063】I/V変換マトリクスアンプ7からは、ディスク1のROM領域再生時にはビットデータの抽出のために用いるRF信号やプッシュプル信号が信号S4として出力される。またリライタブル領域再生時には、ランドトラックとグルーブトラック同時走査によって得られるランドトラックMO信号、グルーブトラックMO信号が、信号S4として出力される。この信号S4はクランプ回路12でRF信号の低周波数変動が除去され、A/D変換器13でデジタル化された信号S5となる。

【0064】この信号S5はデータ検出部（即ちデコーダ）14に供給される。データ検出部14ではタイミングコントローラ17がデータクロックDCKに基づいて発生させる同期タイミングDSYに基づいてデータデコード処理を行ない、再生データD_mを得る。例えば波形等化処理、記録フォーマットとして採用されている変調処理に対する復調処理、エラー訂正処理等が行なわれ再生データD_mとしてエコードされる。この再生データD_mはインターフェース部19を介してホストコンピュータ90に供給されることになる。

【0065】I/V変換マトリクスアンプ7からは、ウォブリングトラックのウォブリングに応じた信号もしくはRF信号がアドレスデコーダ15に供給される。アドレスデコーダ15は供給された信号のデコード処理によりアドレス情報を抽出し、コントローラ6に供給する。

コントローラ6では内部のアドレス処理部6aとして、図8で説明したように、エラー検出だけでなく、必要に応じてエラー訂正、補間処理などを行ったうえで、アドレスチェック動作を行い、その結果に応じてコントローラ6は各種動作の開始、終了、動作位置確認などを行うことになる。

【0066】アドレス処理部6aの機能構成や動作については各種考えられるが、以下、アドレスフォーマットとして非2元BCHコードが用いられている場合と、2元BCHコードが用いられている場合について、それぞれアドレス処理部6aとしての構成及び動作を説明していく。なお、ディスクドライブ装置の構成としては図13の例に限られず、各種考えられることはいうまでもない。

【0067】5. 非2元BCHコードを採用する場合のアドレス処理構成及び動作

図14に、例えばリードソロモン符号などの非2元BCHコードをアドレス値に対するエラー訂正コードとして付加する方式として図5のようなアドレスフォーマットを採用した場合のアドレス処理部6aの構成例を示す。

【0068】例えば図13のようなディスクドライブ装置のアドレスデコーダ15からは、デコード処理により抽出されたアドレス情報（デコードアドレス）、即ちアドレス値とエラー訂正コードが図14のようなアドレス処理部6aに供給されることになる。1ビット毎にシリアル系列で供給されたデコードアドレスは、アドレス処理部6aにおいて、まずシリアルパラレル変換部61に入力され、4ビット（1ニブル）単位のパラレルデータに変換される。そしてこのパラレルデータとしてのデコードアドレスはデコードアドレス保持部62としてのレジスタに取り込まれるとともに、シンドローム計算回路63に供給される。シンドローム計算回路63は入力されたデコードアドレスに対してエラー検出のためのシンドローム計算を行い、その結果によりOK（エラー無し）もしくはNG（エラー有り）の情報を出力する。このエラー検出結果の情報（OK/NG）は訂正回路64及びセクタ68の端子LS2に供給される。

【0069】訂正回路64は、エラー訂正コードを用いてアドレス値のエラー訂正処理を行う部位であり、シンドローム計算回路63からエラー検出結果として情報NGが入力された際に、デコードアドレス保持部62に保持されているアドレス値及びエラー訂正コードをロードして訂正処理を行う。訂正回路64で訂正されたアドレス値及びエラー訂正コード（訂正アドレス）は訂正アドレス保持部65としてのレジスタに保持される。また訂正回路64での結果情報として情報OK（訂正処理OK）もしくは情報NG（訂正不能）は、セクタ68の端子LS3に供給される。

【0070】デコードアドレス保持部62に保持されたデコードアドレスは、セクタ68がL1端子を選択す

10

20

30

40

50

ることで、アドレス保持部69にロードされる。また、訂正アドレス保持部65に保持された訂正アドレスは、セクタ68がL2端子を選択することで、アドレス保持部69にロードされる。アドレス保持部69は現在のアドレス値として決定されたアドレス情報を保持するレジスタとなる。セクタ68を介してアドレス保持部69にロードされたアドレスは、等号比較回路72とともに補間アドレスエンコーダ70に供給される。補間アドレスエンコーダ70には、値「1」が供給されており、アドレス保持部69から供給されたアドレス値に「1」

を加えて補間アドレスを生成する。つまり、現在のセクタのアドレスとして決定されたアドレス値から、次のセクタのアドレス値を生成することになる。このように生成された補間アドレスは、補間アドレス保持部67としてのレジスタに取り込まれる。

【0071】補間アドレス保持部67に保持された補間アドレスは、セクタ68がL3端子を選択することで、アドレス保持部69にロードされる。また補間アドレス保持部67に保持された補間アドレス値と、デコードアドレス保持部62に保持されたデコードアドレス値は、比較回路66で比較処理される。比較回路では、補間アドレス値とデコードアドレス値の違いが「2」以下であれば比較結果として情報OKを、一方「3」以上であれば比較結果（補間アドレスの適合性の結果）として情報NGを、セクタ68の端子LS1に出力する。

【0072】R/Wアドレスカウンタ71は、記録や再生動作のための目的位置となるアドレス値を発生させるカウンタであり、記録／再生動作に応じてアドレス値をカウントアップしていく。図15(a)にR/Wアドレスカウンタ71のカウント出力を模式的に示している。このR/Wアドレスカウンタ71の出力と、アドレス保持部69に保持されたアドレス値は、等号比較回路72でアドレスチェックとして比較処理され、これらが一致していた場合（アドレスチェックOKの場合）は、図15(b)に示すようなアドレス一致を示す信号AOKを出力する。この信号AOKは記録／再生の許可や、記録再生位置の確認のための信号となる。

【0073】このアドレス処理部6aでは、即ち、デコードアドレス保持部62で保持されているデコードアドレス、訂正アドレス保持部65で保持されている訂正アドレス、補間アドレス保持部67で保持されている補間アドレスのいずれかがセクタ68で選択されてアドレス保持部69にロードされ、等号比較回路での比較処理に供される。このセクタ68での選択は、端子LS1、LS2、LS3の情報、即ちエラー検出結果、訂正結果、補間アドレスの適合性結果により決定される。

【0074】例えばシンドローム計算回路63でのエラー検出結果がOKであった場合は、デコードアドレス保持部62に保持されているデコードアドレスは適正な値であるため、図15(c)(f)に示すようにセクタ

68で端子L1が選択されてデコードアドレスが決定アドレスとしてアドレス保持部69にロードされる。そして等号比較回路72でアドレスチェックが行われて、その結果OKであれば、信号AOKが出力される。

【0075】またシンドローム計算回路63でのエラー検出結果がNGであった場合は、デコードアドレス保持部62に保持されているデコードアドレスは不適正な値である。そこでこの場合は訂正アドレスもしくは補間アドレスが用いられる。例えば訂正回路64での訂正結果OKであれば、図15(d)(f)に示すようにセクタ68で端子L2が選択されて訂正アドレスが決定アドレスとしてアドレス保持部69にロードされる。そして等号比較回路72でアドレスチェックが行われて、その結果OKであれば、信号AOKが出力される。また、比較回路66での補間アドレスの適合性判断結果OKであれば、図15(e)(f)に示すようにセクタ68で端子L3が選択されて補間アドレスが決定アドレスとしてアドレス保持部69にロードされる。そして等号比較回路72でアドレスチェックが行われて、その結果OKであれば、信号AOKが出力される。訂正アドレスと補間アドレスのどちらを優先させるかは、処理の設定（セクタ68の選択論理構成）による。

【0076】このアドレス処理部6aの動作手順の例を、図16、図17に示す。図16は訂正アドレスを優先させる処理例、図17は補間アドレスを優先させる処理例である。

【0077】まず図16の処理例では、ステップF201では入力されたデコードアドレスをデコードアドレス保持部62に取り込み、またステップF202でシンドローム計算回路63でのデコードアドレスについてのエラー検出が行われる。ここでエラー検出結果としてエラー無しとしての情報OKがセクタ68の端子LS2に供給された場合は、セクタ68は端子L1を選択する。即ち処理はステップF203からF204に進み、デコードアドレスが決定アドレスとしてアドレス保持部69にロードされることになる。そして、ステップF212として等号比較回路72でのアドレスチェックが行われ、一致していた場合はステップF213の肯定結果として信号AOKが出力される。不一致の場合はアドレスチェックNGとして信号AOKは出力されない（信号ANG）。また、決定アドレスとしてアドレス保持部69にロードされたデコードアドレスはステップF214での補間アドレス生成に用いられる。即ち補間アドレスエンコーダ70で決定アドレスとされたデコードアドレスに「1」が加算されて補間アドレスが生成され、ステップF215において、次のセクタのための補間アドレスとして補間アドレス保持部67に記憶される。

【0078】ステップF203でエラー検出結果としてエラー有りとしての情報NGが出力された場合、ステップF205として訂正回路64はデコードアドレスをロ

10

20

30

40

50

ードしてエラー訂正コードを用いた訂正処理を行う。ここで訂正処理結果として訂正OKとなった場合は、ステップF206からF207に進んで、訂正アドレスが決定アドレスとしてアドレス保持部69にロードされる。即ちセクタ68は、端子LS2に供給されるエラー訂正結果がNGで有り、かつ端子LS3に供給される訂正結果がOKとなった場合は、端子L2を選択する。そしてロードされた訂正アドレスについて、ステップF212、F213のアドレスチェックが行われ、その結果に応じて信号AOKの出力が行われることになる。また、決定アドレスとしてアドレス保持部69にロードされた訂正アドレスはステップF214での補間アドレス生成に用いられ、生成された補間アドレスはステップF215において、次のセクターでの処理のために補間アドレス保持部67に記憶される。

【0079】ステップF206で訂正結果として訂正NGが出力された場合、ステップF208として補間アドレスの有無が判断される。即ちその時点で補間アドレス保持部67に補間アドレスが記憶されているか否かが判別される。もし補間アドレスがなければ、アドレスチェックは行われず（つまり信号AOKは出力されず）そのセクターについての処理は終了する。補間アドレスが存在した場合は、ステップF209として補間アドレスの適合性のチェックが行われる。つまり比較回路66でデコードアドレスと補間アドレスの比較が行われ、違いが2つ以下であり補間アドレスの適合性がOKとなった場合は、ステップF210からF211に進んで、補間アドレスが決定アドレスとしてアドレス保持部69にロードされる。即ちセクタ68は、端子LS2に供給されるエラー訂正結果がNGで有り、かつ端子LS3に供給される訂正結果がNGであり、さらに端子LS1に供給される比較結果がOKとなった場合に、端子L3を選択する。そしてロードされた補間アドレスについて、ステップF212、F213のアドレスチェックが行われ、その結果に応じて信号AOKの出力が行われることになる。また、決定アドレスとしてアドレス保持部69にロードされた補間アドレスはステップF214での補間アドレス生成に用いられ、生成された補間アドレスはステップF215において、次のセクターでの処理のために補間アドレス保持部67に記憶される。

【0080】以上の手順によりデコードアドレス、訂正アドレス、補間アドレスのいずれかが選択され、アドレスチェックが行われて信号AOKの出力／非出力が決定される。

【0081】次に図17に補間アドレスを優先させる処理例を示す。図17の処理例では、ステップF301では入力されたデコードアドレスをデコードアドレス保持部62に取り込み、またステップF302でシンドローム計算回路63でのデコードアドレスについてのエラー検出が行われる。ここでエラー検出結果としてエラー無

しとしての情報OKがセクタ68の端子LS2に供給された場合は、セクタ68は端子L1を選択する。即ち処理はステップF303からF304に進み、デコードアドレスが決定アドレスとしてアドレス保持部69にロードされることになる。そして、ステップF312、F313として上記図16のステップF212、F213と同様に等号比較回路72でのアドレスチェックが行われ、信号AOKの出力／非出力が行われる。また、決定アドレスとしてアドレス保持部69にロードされたデコードアドレスは上記図16のステップF214、F215と同様に、ステップF314、F315で、補間アドレス生成に用いられ、次のセクターのための補間アドレスが生成されて補間アドレス保持部67に記憶される。

【0082】ステップF303でエラー検出結果としてエラー有りとしての情報NGが出力された場合、ステップF305として補間アドレスの有無が判断される。即ちその時点で補間アドレス保持部67に補間アドレスが記憶されているか否かが判別される。補間アドレスが存在した場合は、ステップF306として補間アドレスの適合性のチェックが行われる。つまり比較回路66でデコードアドレスと補間アドレスの比較が行われる。そして違いが2つ以下であり補間アドレスの適合性がOKとなった場合は、ステップF307からF308に進んで、補間アドレスが決定アドレスとしてアドレス保持部69にロードされる。即ちセクタ68は、端子LS2に供給されるエラー訂正結果がNGで有り、かつ端子LS1に供給される比較結果がOKとなった場合に、端子L3を選択する。そしてロードされた補間アドレスについて、ステップF312、F313のアドレスチェックが行われ、その結果に応じて信号AOKの出力が行われるとともに、決定アドレスとされた補間アドレスはステップF314、F315での補間アドレス生成及び記憶に用いられる。

【0083】ステップF305で補間アドレスがないと判断された場合は、ステップF309に進む。ここでは訂正回路64がデコードアドレスをロードしてエラー訂正コードを用いた訂正処理を行う。そして訂正処理結果として訂正OKとなった場合は、ステップF310からF311に進んで、訂正アドレスが決定アドレスとしてアドレス保持部69にロードされる。即ちセクタ68は、端子LS2に供給されるエラー訂正結果がNGで有り、かつ端子LS1に供給される比較結果がNGであり、さらに端子LS3に供給される訂正結果がOKとなった場合に、端子L2を選択する。そしてロードされた訂正アドレスについて、ステップF312、F313のアドレスチェックが行われ、その結果に応じて信号AOKの出力が行われるとともに、決定アドレスとされた訂正アドレスはステップF314、F315での補間アドレス生成及び記憶に用いられる。

10

20

30

40

50

【0084】以上の手順によりデコードアドレス、訂正アドレス、補間アドレスのいずれかが選択され、アドレスチェックが行われて信号AOKの出力／非出力が決定される。なお、図16、図17の2つの処理例について説明したが、もちろん他にも処理例は考えられる。例えば訂正アドレスは決定アドレスとしては用いずに、補間アドレス生成のためにのみ用いるような方式も考えられる。さらに、訂正能力が十分であれば、補間アドレスに関する処理を行わないような構成及び処理手順も考えられる。

【0085】6. 2元BCHコードを採用する場合のアドレス処理構成及び動作

次に図18に、2元BCHコードをアドレス値に対するエラー訂正コードとして付加する方式として図6のようなアドレスフォーマットを採用した場合のアドレス処理部6aの構成例を示す。

【0086】例えば図13のようなディスクドライブ装置のアドレスデコーダ15からは、デコード処理により抽出されたアドレス情報（デコードアドレス）、即ちアドレス値とエラー訂正コードが図18のようなアドレス処理部6aに供給されることになる。1ビット毎にシリアル系列で供給されるデコードアドレスは、1ビット毎にデコードアドレス保持部81としてのレジスタに取り込まれるとともに、シンドローム計算回路82に供給される。シンドローム計算回路82は入力されたデコードアドレスに対してエラー検出のためのシンドローム計算を行い、その結果によりOK（エラー無し）もしくはNG（エラー有り）の情報を出力する。このエラー検出結果の情報（OK/NG）はセクタ85の端子LS12及び論理回路91に供給される。

【0087】訂正回路83は、エラー訂正コードを用いてアドレス値のエラー訂正処理を行う部位であり、シンドローム計算回路82から供給されるデコードアドレスの訂正処理を行う。訂正回路83で訂正されたアドレス値及びエラー訂正コード（訂正アドレス）は訂正アドレス保持部84としてのレジスタに保持される。また訂正回路83での結果情報として情報OK（訂正処理OK）もしくは情報NG（訂正不能）は、セクタ85の端子LS11に供給される。

【0088】デコードアドレス保持部81に保持されたデコードアドレスは、セクタ85のL11端子、比較回路88、等号比較回路89に供給される。また、訂正アドレス保持部84に保持された訂正アドレスは、セクタ85のL12端子に供給される。セクタ85で選択されたアドレス情報は補間アドレスエンコーダ86に供給される。補間アドレスエンコーダ86には、値

「1」が供給されており、セクタ85から供給されたアドレス値に「1」を加えて補間アドレスを生成する。つまり、現在のセクタのアドレスとして決定されたアドレス値から、次のセクタのアドレス値を生成するこ

とになる。このように生成された補間アドレスは、補間アドレス保持部87としてのレジスタに取り込まれる。補間アドレス保持部87に保持された補間アドレスは、セクタ85のL13端子に供給される。また補間アドレス保持部67に保持された補間アドレス値と、デコードアドレス保持部81に保持されたデコードアドレス値は、比較回路88で比較処理される。

【0089】この例の場合、セクタ85は補間アドレスを生成するためのアドレスを選択する動作を行う。つまり、端子LS12に供給されるシンドローム計算回路82からのエラー検出結果の情報（OK/NG）と、端子LS11に供給される訂正回路83からの訂正結果の情報（OK/NG）に応じて端子L11、L12、L13の1つを選択する。即ちデコードアドレス、訂正アドレス、補間アドレスのいずれかを、次の補間アドレスの生成に供するために補間アドレスエンコーダ86にロードさせる。

【0090】R/Wアドレスカウンタ90は上述した図14の例と同じく、記録や再生動作のための目的位置となるアドレス値を発生させるカウンタであり、記録／再生動作に応じてアドレス値をカウントアップしていく。このR/Wアドレスカウンタ90の出力と、デコードアドレス保持部81に保持されたアドレス値は、等号比較回路89でアドレスチェックとして比較処理され、これらが一致しているか否かの比較結果として情報OKもしくは情報NGを論理回路91に出力する。

【0091】比較回路88では、補間アドレス値とデコードアドレス値の違いが「2」以下であるか否かの比較を行う。また、比較回路88にはR/Wアドレスカウンタ90の出力も供給されており、補間アドレス値とデコードアドレス値の違いが「2」以下であると判定された場合は、さらに補間アドレスとR/Wアドレスカウンタ90の出力の比較（アドレスチェック）を行って、これらが一致しているか否かの比較結果として情報OKもしくは情報NGを論理回路91に出力する。

【0092】論理回路91は、シンドローム計算回路82からのエラー検出結果の情報（OK/NG）と、比較回路88からの補間アドレスについてのアドレスチェック結果としての情報（OK/NG）と、さらに等号比較回路89からのアドレスチェック結果の情報（OK/NG）について論理演算を行い、現在のアドレスとされたデコードアドレスもしくは補間アドレスがR/Wアドレスカウンタ90からのアドレス値と一致しているとみなされた場合に、アドレス一致を示す信号AOKを出力する。この信号AOKは図14の例の場合と同様に、記録／再生の許可や、記録再生位置の確認のための信号となる。

【0093】つまりこの図18のアドレス処理部6aでは、デコードアドレスについてのエラー検出結果がOKであった場合は、デコードアドレス保持部62に保持さ

10

20

30

40

50

れているデコードアドレスについて等号比較回路72でアドレスチェックが行われて、その結果OKであれば、信号AOKが出力される。またこの際、デコードアドレスが次のセクターについての補間アドレス生成に用いられる。

【0094】またシンドローム計算回路82でのエラー検出結果がNGであった場合は、補間アドレスが用いられて比較回路88でアドレスチェックが行われて、その結果OKであれば、信号AOKが出力される。そしてシンドローム計算回路82でのエラー検出結果がNGであつた場合は、訂正回路83でエラー訂正処理が行われることになるが、訂正OKであればその訂正アドレスが補間アドレスエンコーダ86での次の補間アドレス生成に用いられる。一方、訂正NGであれば、現在の補間アドレスが補間アドレスエンコーダ86での次の補間アドレス生成に用いられる。

【0095】このようなアドレス処理部6aの動作手順の例を、図19、図20に示す。図19に示されるように、ステップF401では入力されたデコードアドレスをデコードアドレス保持部81に取り込み、またステップF402でシンドローム計算回路82でのデコードアドレスについてのエラー検出が行われる。ここでエラー検出結果としてエラー無しとしての情報OKが論理回路91に供給された場合は、論理回路91は等号比較回路89でのアドレスチェックに基づいて信号AOKの出力を決定する。即ちステップF405として等号比較回路89でのアドレスチェックが行われて、アドレスチェック結果として情報OKが供給された場合は、ステップF406で肯定結果が得られたことになり、信号AOKが出力される。アドレスチェックNGの場合は信号AOKは出力されない(信号ANG)。

【0096】一方、エラー検出結果としてエラー有りであることを示す情報NGが論理回路91に供給された場合は、論理回路91は比較回路88でのアドレスチェックに基づいて信号AOKの出力を決定する。この場合、ステップF407で補間アドレスの有無が判断される。即ちその時点で補間アドレス保持部87に補間アドレスが記憶されているか否かが判別される。もし補間アドレスがなければ、アドレスチェックは行われず(つまり信号AOKは出力されず)そのセクターについての処理は終了する。補間アドレスが存在した場合は、ステップF408として比較回路88で補間アドレスの適合性のチェックが行われたうえ、補間アドレスとR/Wアドレスカウンタ90の出力との一致を判断するアドレスチェックが行われる。そしてアドレスチェック結果として情報OKが供給された場合は、ステップF409で肯定結果が得られたことになり、信号AOKが出力される。アドレスチェックNGの場合は信号AOKは出力されない(信号ANG)。

【0097】またステップF403でのエラー検出結果

に応じて、補間アドレス生成のための処理が異なることになる。エラー検出結果としてエラー無しとしての情報OKがセクタ85に供給された場合は、補間アドレス生成処理として図19に破線の「F1」として示すように図20(a)の処理に進む。この場合ステップF410としてセクタ85は端子L11を選択し、デコードアドレスを補間アドレスエンコーダ86にロードし、補間アドレスエンコーダ86に、デコードアドレスを用いた補間アドレス生成を実行させる。そして生成された補間アドレスはステップF411において、次のセクターでの処理のために補間アドレス保持部87に記憶される。

【0098】一方、エラー検出結果としてエラー有りとしての情報NGがセクタ85に供給された場合は、補間アドレス生成処理として図19に破線の「F2」として示すように図20(b)の処理に進む。この場合ステップF412として訂正回路83でのアドレス訂正処理が行われるが、ステップF413でセクタ85は訂正結果の情報(OK/NG)により処理を分岐させる。訂正OKの場合はステップF414に進み、セクタ85は端子L12を選択して訂正アドレス保持部84に保持されている訂正アドレスを補間アドレスエンコーダ86にロードする。そして補間アドレスエンコーダ86に、訂正アドレスを用いた補間アドレス生成を実行させ、生成された補間アドレスはステップF415において、次のセクターでの処理のために補間アドレス保持部87に記憶される。

【0099】また訂正NGの場合はステップF416に進み、まずその時点で補間アドレス保持部87に補間アドレスが存在するか否かを判断する。そして存在していれば、ステップF417としてセクタ85は端子L13を選択して補間アドレス保持部87に保持されている補間アドレスを補間アドレスエンコーダ86にロードする。そして補間アドレスエンコーダ86に、補間アドレスを用いた補間アドレス生成を実行させ、生成された補間アドレスはステップF418において、次のセクターでの処理のために補間アドレス保持部87に記憶される。

【0100】この例では、以上の手順によりデコードアドレス、補間アドレスのいずれかが選択されてアドレスチェックが行われて信号AOKの出力/非出力が決定される。またデコードアドレス、訂正アドレス、補間アドレスのいずれかが選択されて補間アドレスが生成される。この例の場合、訂正アドレスは直接比較回路88もしくは等号比較回路89でのアドレスチェックに用いられないが、訂正アドレスが補間アドレス生成に用いられることにより、間接的には訂正アドレスによるアドレスチェックが実行可能となるものであり、アドレス訂正を可能としたことによる効果は十分に得られるものである。もちろん訂正アドレスを直接アドレスチェックに供

10

20

30

40

50

する構成例も考えられる。その場合さらに、訂正能力が十分であれば、補間アドレスに関する処理を行わないような構成及び処理手順も考えられる。またこの例の場合、1ビット単位でのシリアル処理となるため、上述した図14のアドレス処理部の例に比べて回路構成が簡略化されるという利点がある。

【0101】

【発明の効果】以上説明したように本発明は、記録媒体のアドレス情報には、アドレス値とともに、そのアドレス値に関するエラー訂正能力を有する訂正コードが付加されている。従って、アドレス読込がNGとなっても、その読み込んだアドレス値を訂正処理により正しい値に修復し、アドレスが目的位置のアドレスであるか否かの判断に用いることができる。これによって記録／再生動作の開始の際など、動作開始に際してアドレスチェックが必要な場合に、エラーなくアドレス読込ができるまで待つということとは不要となり、動作効率を大きく向上させることができるという効果がある。またアドレス読込エラーの際にも訂正を行ってからアドレスチェック動作が可能となるため、記録／再生動作等の際の位置的な信頼性を高めることにもなる。

【0102】また、エラー訂正能力があることにより、例えばセクター内に多数回アドレス情報を繰り返して記録するという形式の必要性が弱まり、例えばアドレス情報をセクター内に1回（もしくは多くても2回程度）だけ記録することで、主データ領域を相対的に広げ、記録容量を向上させることができる。さらに、アドレス読込エラーをエラー訂正能力によりカバーすることで、記録媒体の劣化などの事情でアドレス読込エラーが多くなってもアドレスチェック及びアドレス値の取り込みが可能となり、アドレス読込エラーにより記録／再生等の動作が妨げられるということがほとんどなくなる。これによって記録媒体の長寿命化、信頼性の向上を促進できる。

【0103】またドライブ装置においては、アドレスについて、エラー検出結果に応じて、デコードされたアドレスと、訂正されたアドレスと、補間生成されたアドレスのいずれかをを用いて、現在アドレスが目的アドレスであるか否かのアドレスチェックを行うことにより、アドレスチェックを効率的に実行でき、もって記録再生動作等の動作効率を向上させることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態のセクターフォーマット例の説明図である。

【図2】実施の形態のセクターフォーマット例の説明図である。

【図3】実施の形態のセクターフォーマット例の説明図である。

【図4】実施の形態のセクターフォーマット例の説明図である。

【図5】実施の形態のアドレスフォーマット例の説明図

である。

【図6】実施の形態のアドレスフォーマット例の説明図である。

【図7】実施の形態のアドレス処理を伴う動作例のフローチャートである。

【図8】実施の形態のアドレス処理の動作手順の説明図である。

【図9】実施の形態の記録開始時の動作例の説明図である。

【図10】実施の形態の記録開始時の動作例の説明図である。

【図11】実施の形態の記録開始時の動作例の説明図である。

【図12】実施の形態の記録開始時の動作例の説明図である。

【図13】実施の形態のディスクドライブ装置のブロック図である。

【図14】実施の形態の非2元BCHコード対応のアドレス処理部のブロック図である。

【図15】実施の形態のアドレス処理部の動作の説明図である。

【図16】実施の形態のアドレス処理部の動作例のフローチャートである。

【図17】実施の形態のアドレス処理部の動作例のフローチャートである。

【図18】実施の形態の2元BCHコード対応のアドレス処理部のブロック図である。

【図19】実施の形態のアドレス処理部の動作例のフローチャートである。

【図20】実施の形態のアドレス処理部の動作例のフローチャートである。

【図21】従来のセクターフォーマットの説明図である。

【図22】従来のアドレス処理部の構成の説明図である。

【図23】従来の記録開始時の動作例の説明図である。

【図24】従来の記録開始時の動作例の説明図である。

【図25】従来の記録開始時の動作例の説明図である。

【図26】従来の記録開始時の動作例の説明図である。

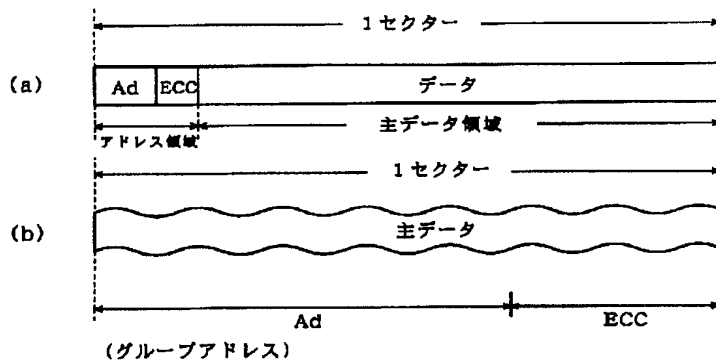
【符号の説明】

1 ディスク、2 スピンドルモータ、3 スピンドル制御部、4 光学ピックアップ、4a 対物レンズ、4b 2軸機構、4c レーザ光源、4d ディテクタ、4e 光学系、5 レーザ制御部、6 コントローラ、6a アドレス処理部、7 I/V変換マトリクスアンプ、8 サーボコントローラ、9、12 クランプ回路、10、13 A/D変換器、11 PLL回路、14 データ検出部、15 アドレスデコーダ、16 トラッキングエラー生成部、17 タイミングコントローラ、19 インターフェース部、25 エンコーダ、26

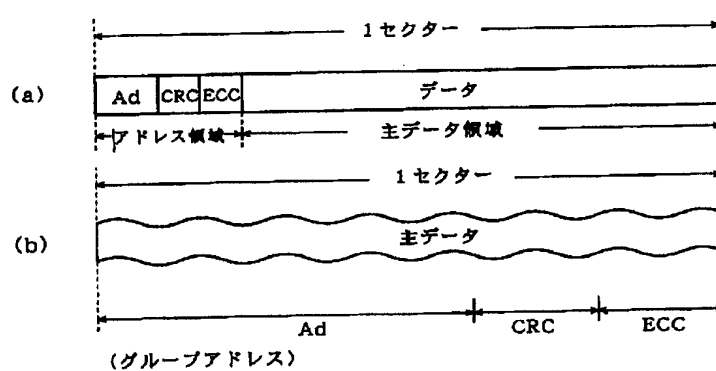
磁気ヘッドドライバ、27 磁気ヘッド、61 シリアル
 ルーパラレル変換部、62, 81 デコードアドレス保
 持部、63, 82 シンドローム計算回路、64, 83
 訂正回路、65, 84 訂正アドレス保持部、66,
 88 比較回路、67, 87 補間アドレス保持部、6*

*8, 85 セレクタ、69 アドレス保持部、70, 8
 6 補間アドレスエンコーダ、71, 90 R/Wアド
 レスカウンタ、72, 89 等号比較回路、91 論理
 部

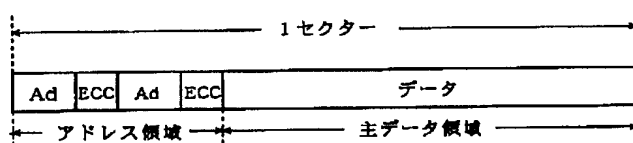
【図1】



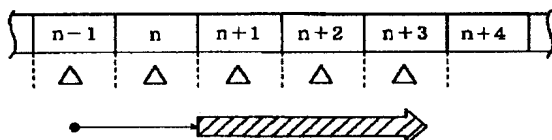
【図2】



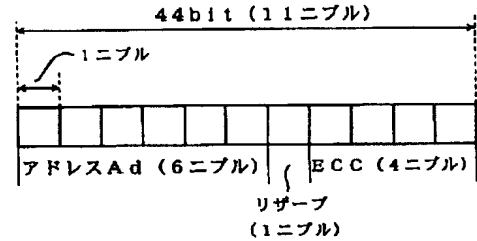
【図3】



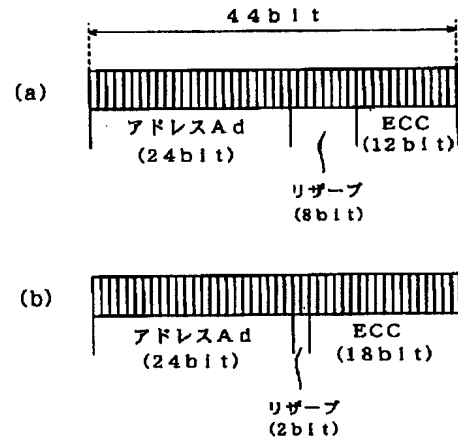
【図10】



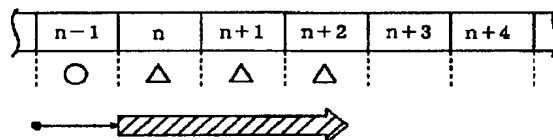
【図5】



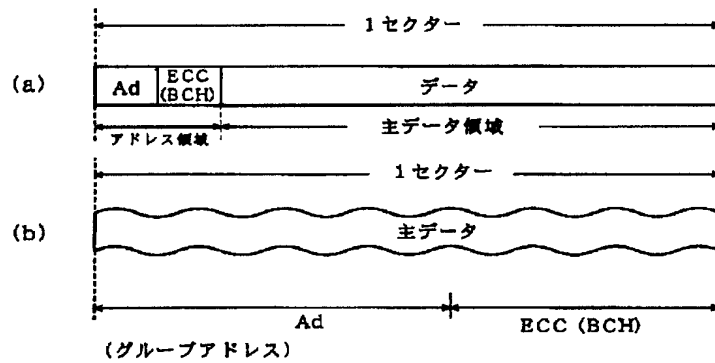
【図6】



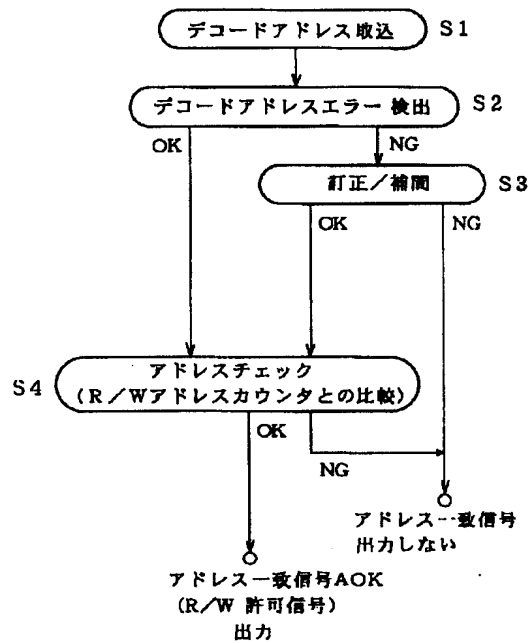
【図11】



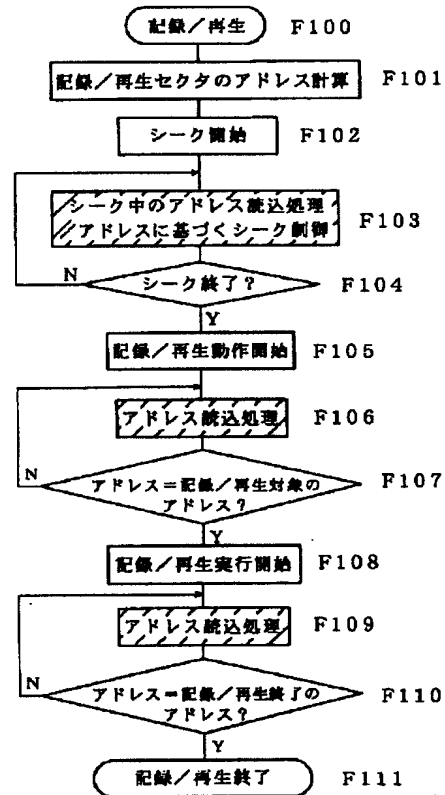
【図4】



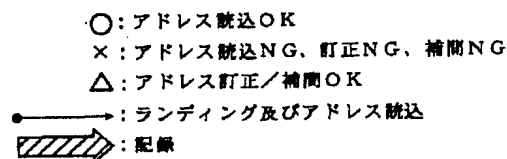
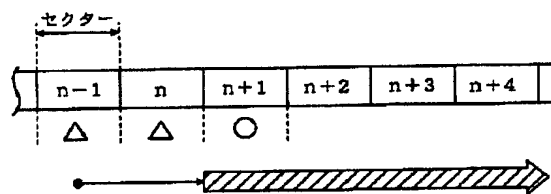
【図8】



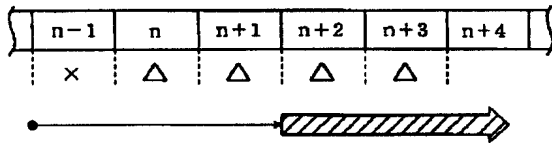
【図7】



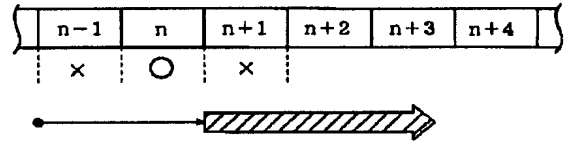
【図9】



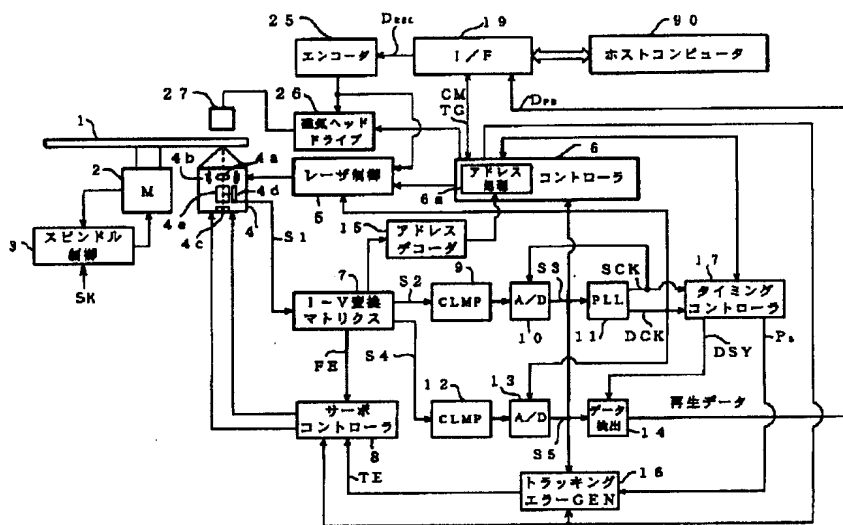
【図 12】



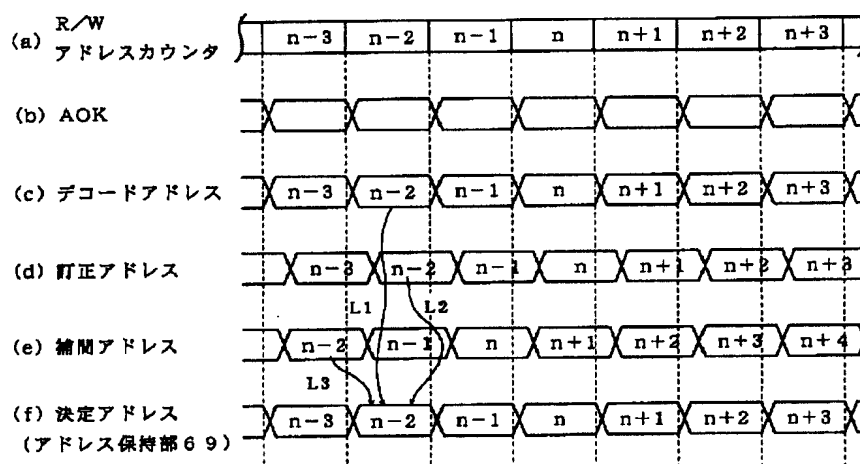
【図 24】



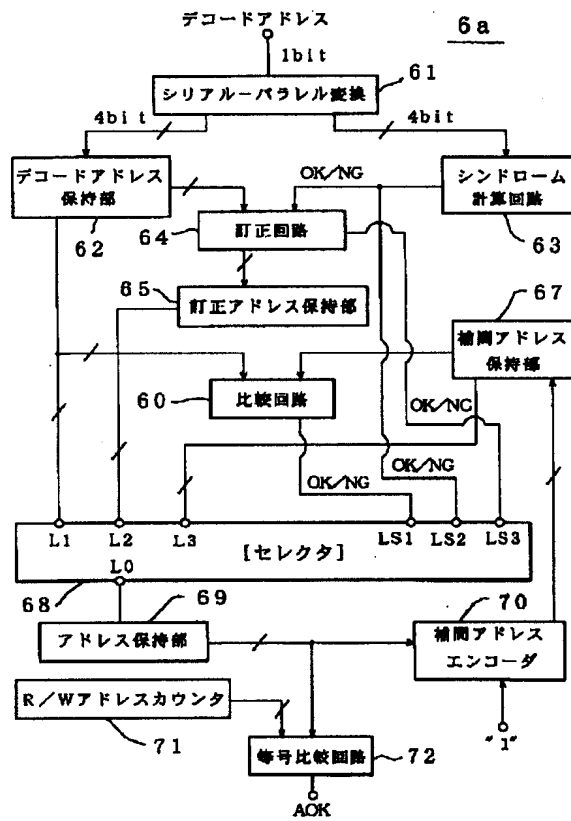
【図 13】



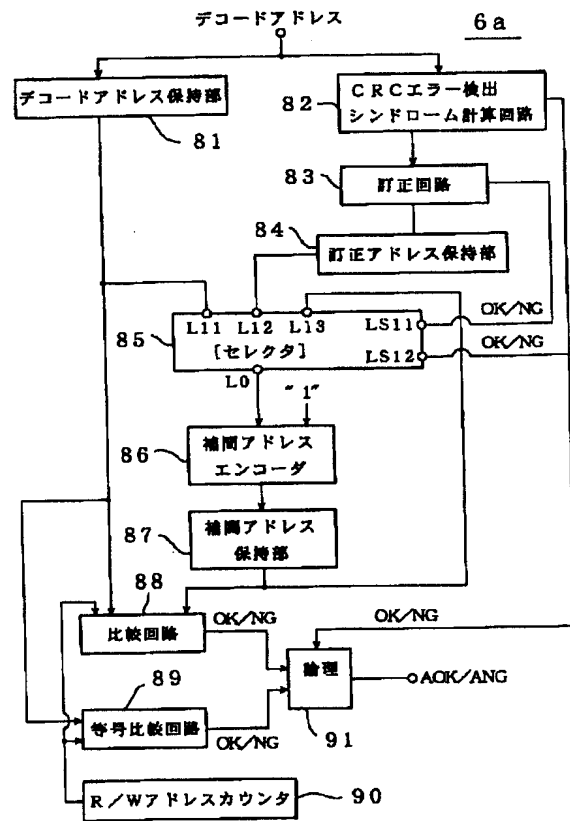
【図 15】



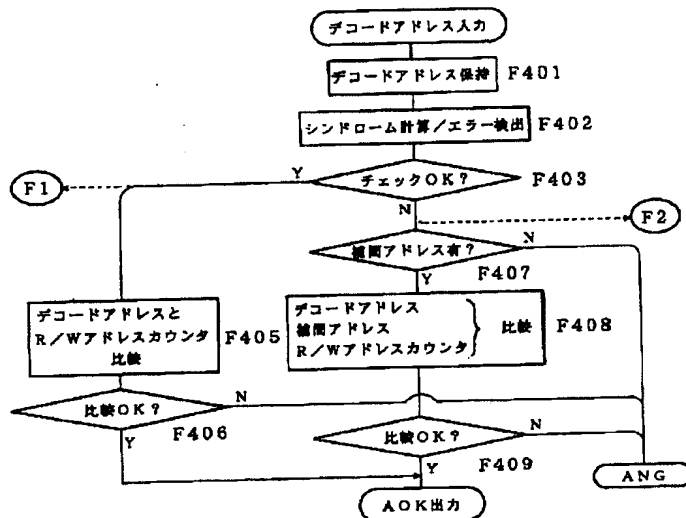
【図14】



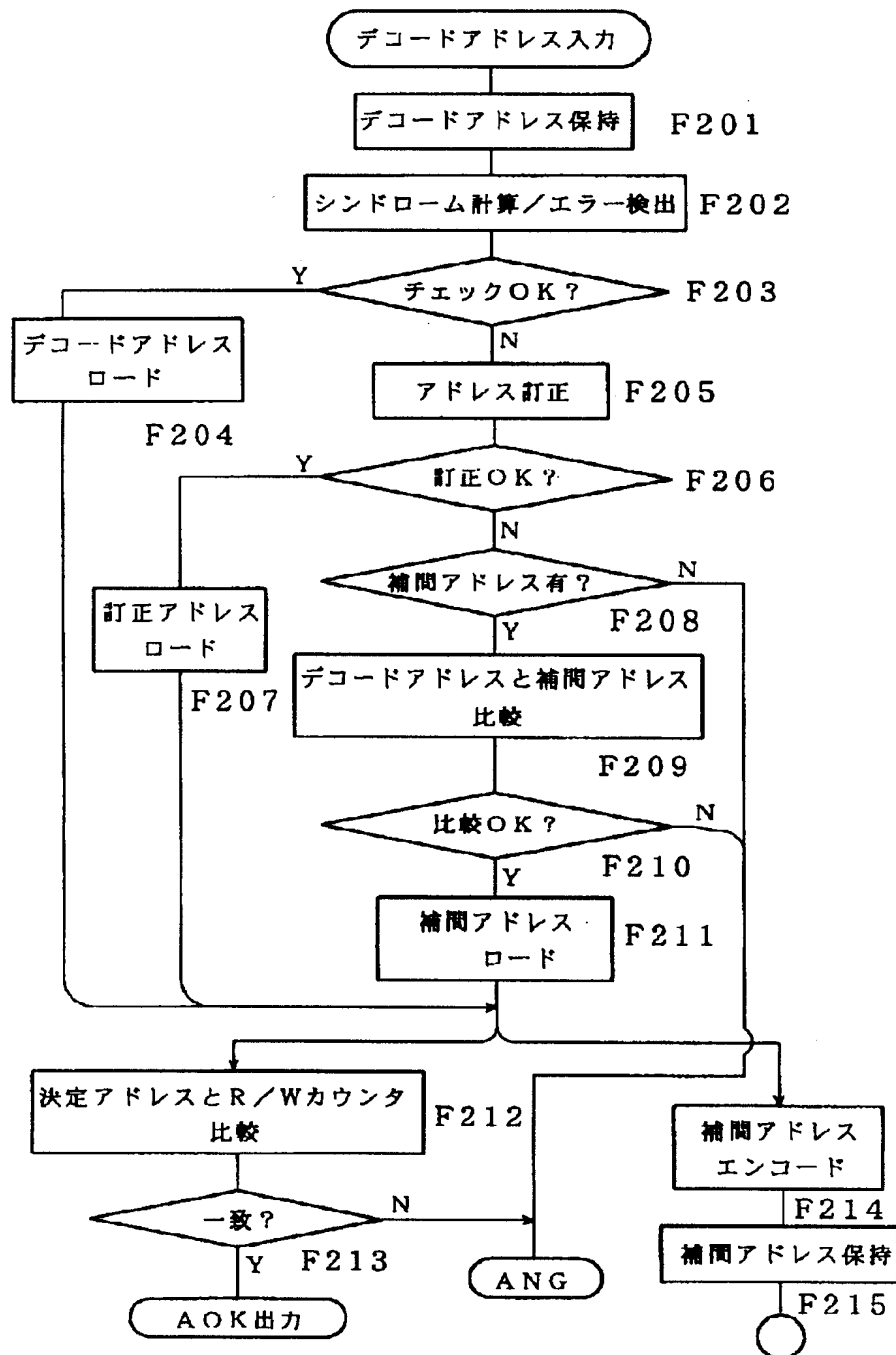
【図18】



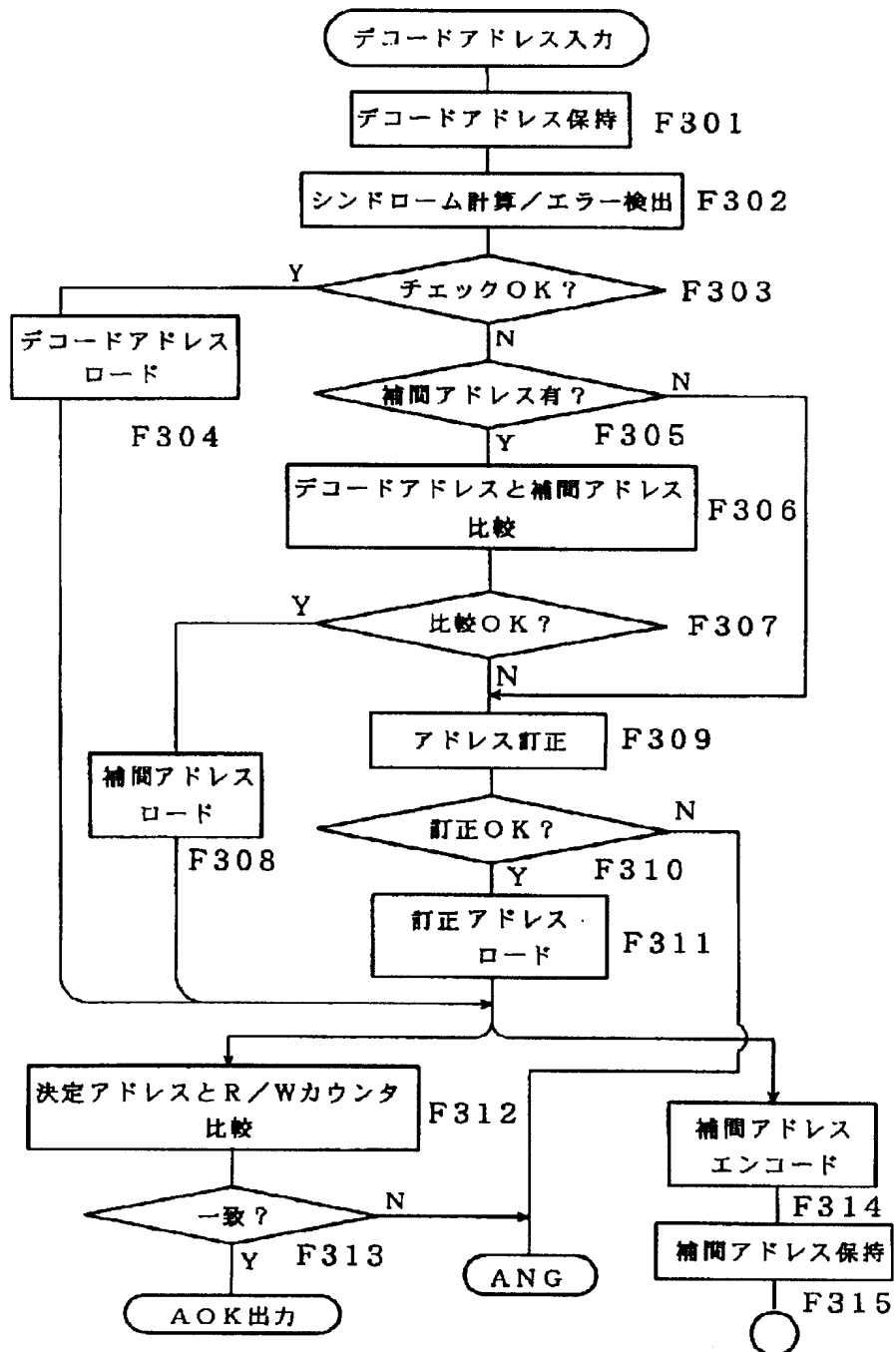
【図19】



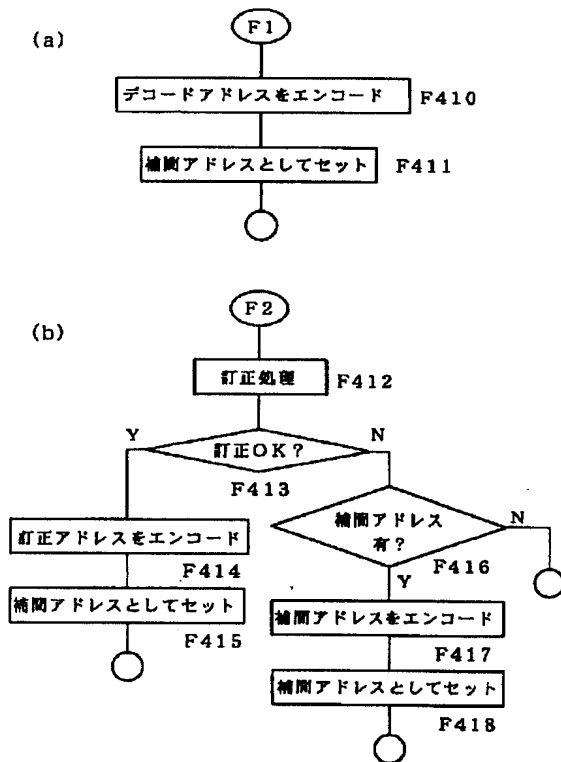
【図16】



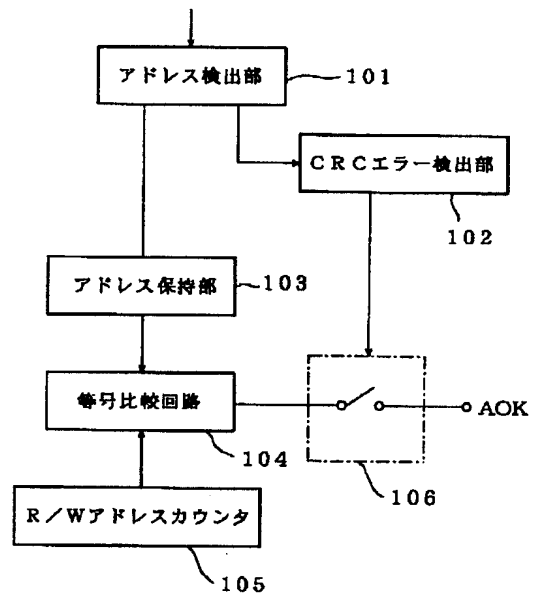
【図17】



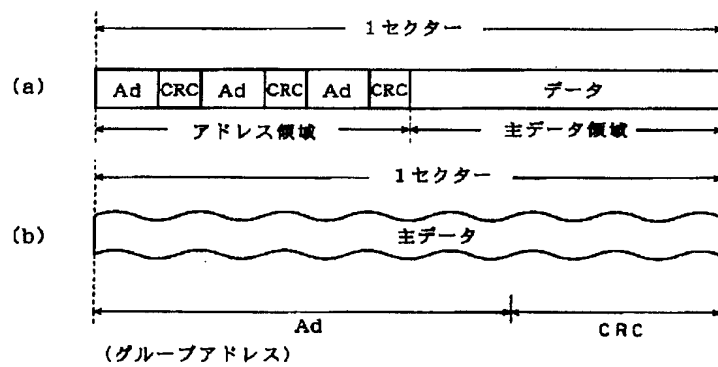
【図20】



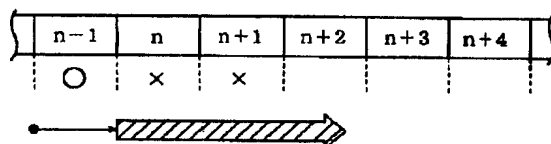
【図22】



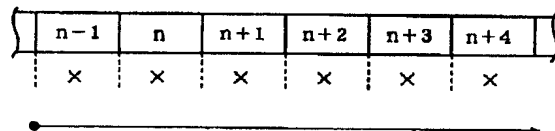
【図21】



【図25】



【図26】



【図23】

